

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-240576

(43)Date of publication of application : 11.09.1998

(51)Int.Cl.

G06F 11/28

G06F 9/06

(21)Application number : 09-045144

(71)Applicant : SONY CORP

(22)Date of filing : 28.02.1997

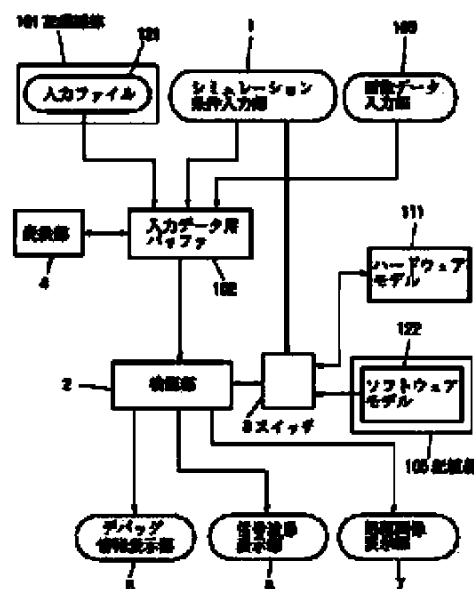
(72)Inventor : AOYAMA KOJI
KONDO YOSHITO

(54) VERIFICATION DEVICE AND METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To verify the respective functions of a DSP(digital signal processor) in details in a short time.

SOLUTION: The data of verification conditions are inputted to a simulation condition input part 1 and an application program is supplied from a recording medium 101 to a buffer 102 for input data first. Then, the inputted data of the conditions and image data inputted to an image data input part 103 are supplied to the buffer 102 for the input data. Then, the buffer 102 for the input data outputs the application program described by an instruction set for the DSP to a verification part 2 along with the data and the verification part 2 performs verification corresponding to the verification conditions supplied from the buffer 102 for the input data. Then, the verification part 2 outputs debugging information, signal waveform information and the image data after a processing which are the results of the verification respectively to a debugging information display part 5, a signal waveform information display part 6 and a processed image display part 7.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-240576

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁸

G 0 6 F 11/28
9/06

識別記号

3 4 0
5 4 0

F I

G 0 6 F 11/28
9/06

3 4 0 A
5 4 0 U

審査請求 未請求 請求項の数5 O L (全 7 頁)

(21) 出願番号 特願平9-45144

(22) 出願日 平成9年(1997) 2月28日

(71) 出願人 000002185

ソニー株式会社
東京都品川区北品川6丁目7番35号

(72) 発明者 青山 幸治

東京都品川区北品川6丁目7番35号 ソニー株式会社内

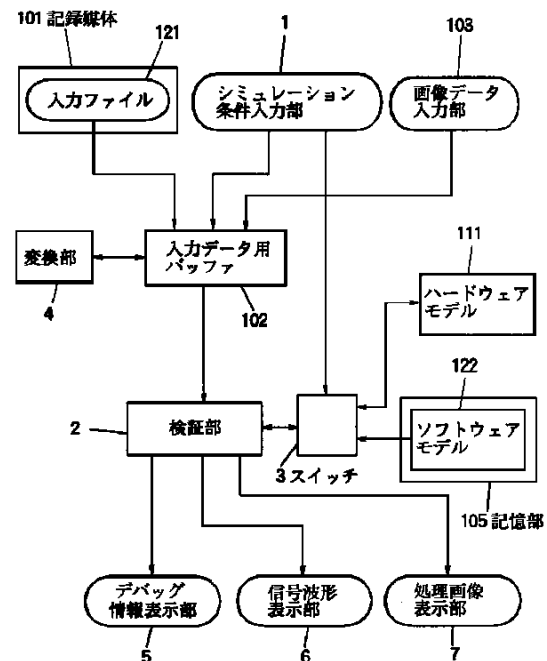
(72) 発明者 近藤 芳人

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 検証装置および方法

(57)



検証装置

10

20

30

40

ic Integrated Circuit Application Specif

Digital Signal Processor

50

10

20

30

40

Standard Definition
High Definition

50

5

(4)

6

10

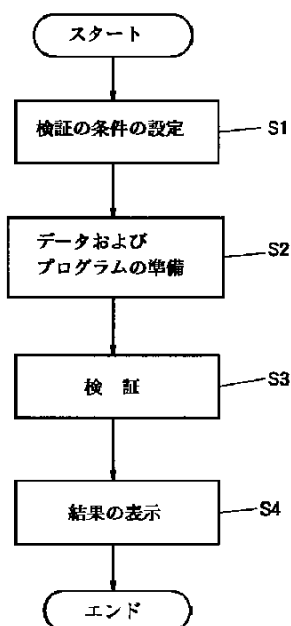
20

Verilog Hardwa
re Description Language VHDL

30

40

50

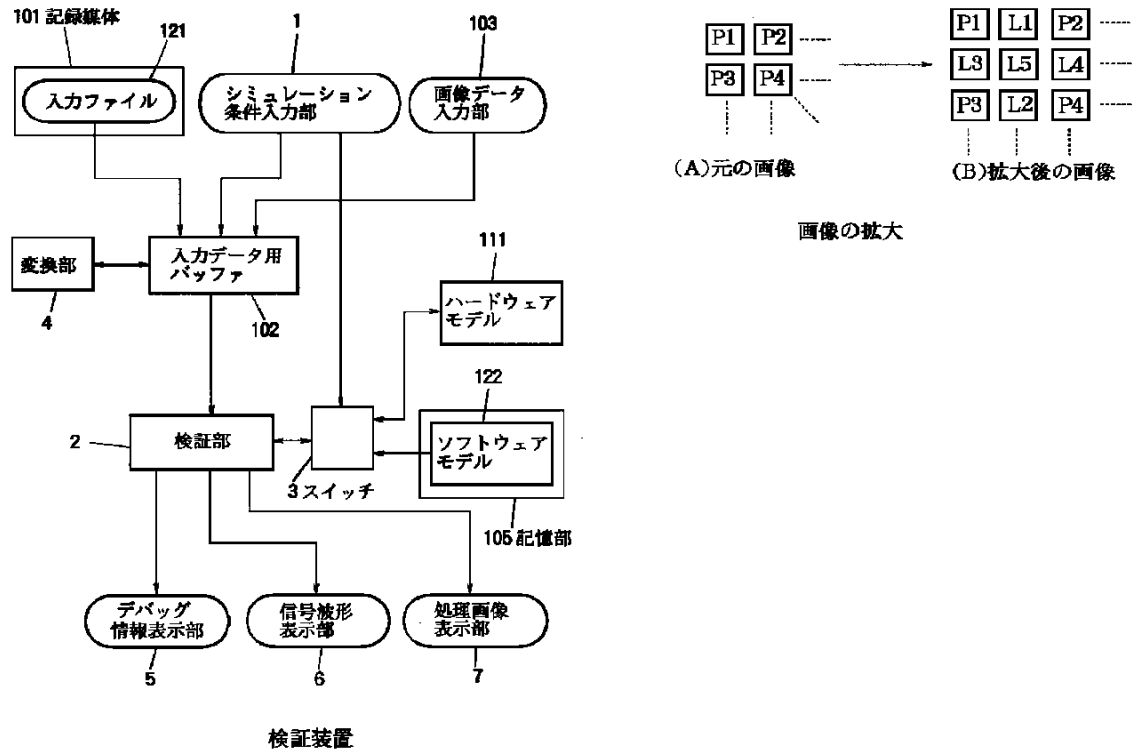


画像の種類: SD
 デバック情報: [DSP 内の加算器のレジスタ値]
 [DSP 内の除算器のレジスタ値]
 [DSP 内のプログラムカウンタ値]
 波形情報: [DSP 内の演算器の I/O ピンの全情報
 に対応する値]
 DSP モデルの種類: [ハードウェアとソフトウェアの両方
 に対応する値]

検証条件の一例

```

%L1=(P1+P2)/2
    add  r1, P1, P2;
    divi L1, r1, 2;
%L2=(P3+P4)/2
    add  r1, P3, P4;
    divi L2, r1, 2;
%L3=(P1+P3)/2
    add  r1, P1, P3;
    divi L3, r1, 2;
%L4=(P2+P4)/2
    add  r1, P2, P4;
    divi L4, r1, 2;
%L5=(L1+L2)/2
    add  r1, L1, L2;
    divi L5, r1, 2;
  
```



```

04145200      # add  r1, P1, P2 ;
4A104002      # divi  L1, r1, 2 ;

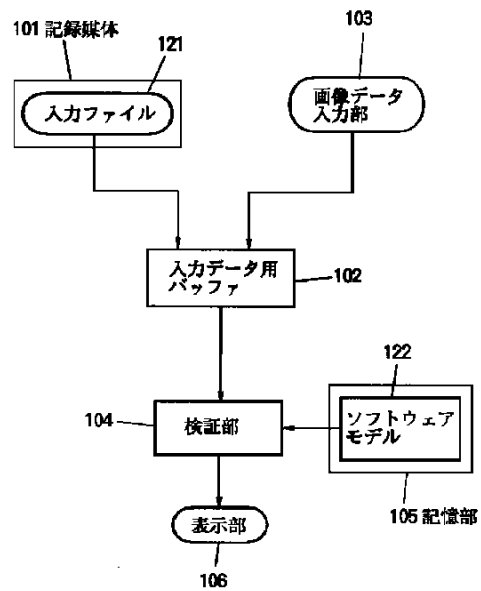
04145300      # add  r1, P3, P4 ;
4A204002      # divi  L2, r1, 2 ;

04149400      # add  r1, P1, P3 ;
4A304002      # divi  L3, r1, 2 ;

04149400      # add  r1, P2, P4 ;
4A404002      # divi  L4, r1, 2 ;

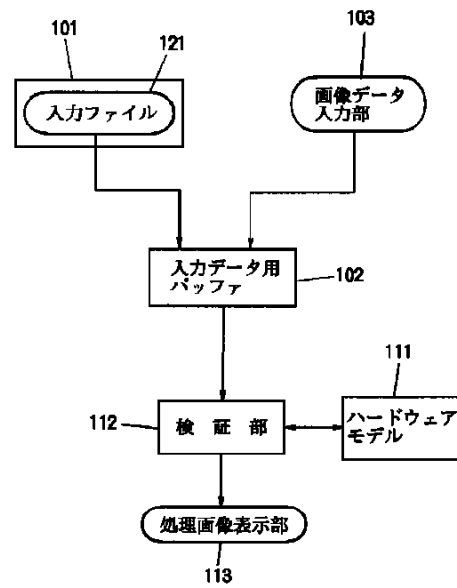
04185200      # add  r1, L1, L2 ;
4A504002      # divi  L5, r1, 2 ;

```



ソフトウェアモデルだけを利用した検証装置

(7)



ハードウェアモデルだけを利用した検証装置